

УДК 681.326

МЕТОДЫ ОБНАРУЖЕНИЯ ОШИБОК ПРОЕКТИРОВАНИЯ В КОНЕЧНЫХ АВТОМАТАХ С ИСПОЛЬЗОВАНИЕМ СИНХРОНИЗИРУЮЩИХ ПОСЛЕДОВАТЕЛЬНОСТЕЙ

Федорин Д. Д.

Научный руководитель: д.т.н, проф., Мирошник М. А.
УГУЖТ, Харьков, Украина

Постановка задачи, анализ последних исследований и публикаций. Наиболее сложным и затратным этапом в современном цикле проектирования цифровых устройств (ЦУ) является функциональная верификация, т. е. процесс обнаружения, локализации и устранения ошибок в системной модели относительно, спецификации, на что затрачивается до 70% общего времени проектирования.

Основной формой описания проектов цифровых устройств в системах автоматизированного проектирования радиоэлектронной аппаратуры (САПР РЭА) являются языки описания аппаратуры (Hardware Description Language, HDL), поэтому объектом верификации является модель цифрового устройства, написанная на языке описания аппаратуры, т.е. HDL-код.

Цель исследования. Исходя из этого, актуальной является задача разработки процедур верификации и поиска ошибок проектирование в HDL-моделях конечных автоматов.

Основные материалы исследований. Одним из способов описания моделей цифровых устройств в форме конечных автоматов на языках описания аппаратуры является автоматный шаблон, т.е. способ описания моделей управляющих конечных автоматов, спецификация на которые задана таблицей переходов-выходов (ТПВ) или графом переходов (state diagram). Предлагается следующая технология поиска ошибок проектирования в графовых моделях управляющих автоматов. По результатам прохождения теста и сравнения с эталоном спецификации (функцией выходов) строится вектор экспериментальных проверок (ВЭП), и путем анализа таблицы маршрутов обхода графа (матрицы проверок) и путем его анализа находится ошибочная дуга (дуги) в графе переходов.

Выводы. На основании этого делается вывод о соответствии HDL-модели спецификации.