



УКРАЇНА

(19) **UA** (11) **114063** (13) **C2**
(51) МПК

G06F 7/72 (2006.01)

H03M 7/18 (2006.01)

ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА ВІНАХІД

<p>(21) Номер заявки: а 2016 06697</p> <p>(22) Дата подання заявки: 21.06.2016</p> <p>(24) Дата, з якої є чинними права на винахід: 10.04.2017</p> <p>(41) Публікація відомостей про заяву: 12.12.2016, Бюл.№ 23</p> <p>(46) Публікація відомостей про видачу патенту: 10.04.2017, Бюл.№ 7</p>	<p>(72) Винахідник(и): Краснобаєв Віктор Анатолійович (UA), Горбенко Іван Дмитрович (UA), Янко Аліна Сергіївна (UA), Кошман Сергій Олександрович (UA), Мороз Сергій Олександрович (UA), Горбенко Юрій Іванович (UA)</p> <p>(73) Власник(и): Краснобаєв Віктор Анатолійович, вул. Астрономічна, 35-б, к. 24, м. Харків, 61085 (UA), Горбенко Іван Дмитрович, пр. Л. Свободи, 50-а, к. 68, м. Харків, 61204 (UA), Янко Аліна Сергіївна, вул. Великотирнівська, 36, корп. 3, к. 122, м. Полтава, 36014 (UA), Кошман Сергій Олександрович, вул. Різдвяна, 19, к. 409, м. Харків, 61012 (UA), Мороз Сергій Олександрович, вул. Різдвяна, 19, к. 216, м. Харків, 61012 (UA), Горбенко Юрій Іванович, пр. Л. Свободи, 50-а, к. 68, м. Харків, 61204 (UA)</p> <p>(56) Перелік документів, взятих до уваги експертизою: UA 92155 U, 11.08.2014 SU 1105895 A, 30.07.1984 SU 1185339 A, 15.10.1985 SU 864278 A, 15.09.1981 RU 2045770 C1, 10.10.1995 RU 2045771 C1, 10.10.1995 US 4949293 A, 14.08.1990 US 4190893 A, 26.02.1980</p>
---	--

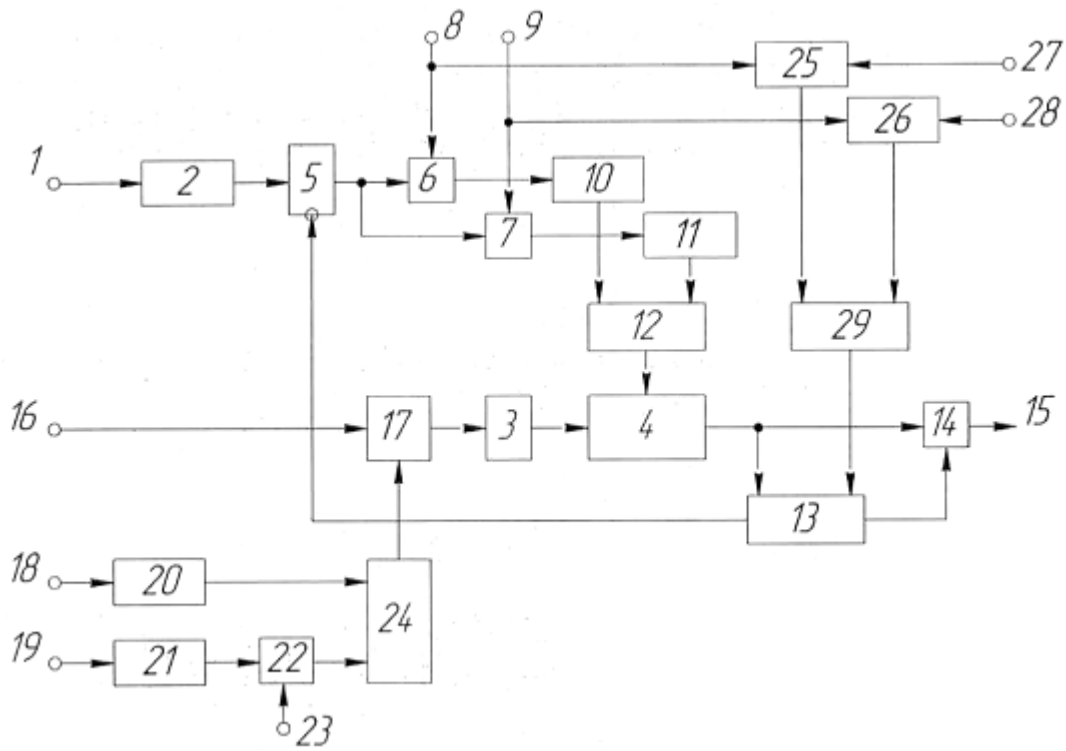
(54) ПРИСТРІЙ ДЛЯ ВИЗНАЧЕННЯ ЛИШКІВ ДІЙСНИХ ТА КОМПЛЕКСНИХ ЧИСЕЛ У СИСТЕМІ ЗАЛИШКОВИХ КЛАСІВ

(57) Реферат:

Винахід належить до області автоматики та обчислювальної техніки та може бути застосовано в комп'ютерних системах та компонентах, що функціонують у системі залишкових класів (СЗК). Пристрій для визначення лишків дійсних та комплексних чисел у системі залишкових класів містить перший вхідний регістр, перший суматор, лічильник, перший блок пам'яті констант (БПК), блок порівняння. Додатково до пристрою введені перша, друга та третя групи елементів АБО, другий БПК, перша, друга та третя групи елементів I, друга і третя вхідні регістри, блок множення, другий суматор, перший та другий елементи I, вентильний елемент. Технічним

UA 114063 C2

результатом винаходу є розширення функціональних можливостей пристрою-прототипу за рахунок додаткового визначення лишків чисел, що представлені у комплексній області, за комплексним модулем $m=r+qi$.



Винахід належить до області автоматики та обчислювальної техніки та може бути застосовано в комп'ютерних системах та компонентах, що функціонують у системі залишкових класів (СЗК).

5 Відомий пристрій (аналог), що застосовується для перетворення позиційного двійкового коду A у лишок за довільним модулем m_i КЛ [а.с. СРСР № 864278, МПК G06F 5/02, 1978]. Пристрій містить блок множення, блок порівняння, регістри, комбінаційний суматор, елементи I та АБО.

Недолік аналога - низькі функціональні можливості пристрою. Це обумовлено неможливістю визначення лишків комплексних чисел.

10 Відомий пристрій (аналог), що застосовується для перетворення позиційного двійкового коду A у лишок за довільним модулем m_i , КЛ [а.с. СРСР № 1185339, МПК G06F 5/02, 1985]. Даний пристрій містить блок порівняння, вхідний та вихідний регістри, суматор, елементи I та АБО.

15 Недолік аналога - низькі функціональні можливості пристрою. Це обумовлено неможливістю визначення лишків комплексних чисел.

Відомий пристрій (аналог), що застосовується для перетворення позиційного двійкового коду A у лишок за довільним модулем m_i КЛ [а.с. СРСР № 1105895, МПК G06F 11/08, 1983]. Пристрій для перетворення позиційного двійкового коду у лишок за довільним модулем m_i , містить лічильник, до першого входу якого підключено перший (установчий) вхід пристрою, блок порівняння та перший елемент I , причому перший вхід першого елемента I є другим (тактовим) входом пристрою, вихід першого елемента I підключено до другого (рахункового) входу лічильника, перший вхід блока порівняння є входом подачі значення модуля m_i .

20 Недолік аналога - низькі функціональні можливості пристрою. Це обумовлено неможливістю визначення лишків комплексних чисел.

25 Найбільш близьким за технічною сутністю до запропонованого винаходу є пристрій для перетворення позиційного двійкового коду у лишок за довільним модулем m [патент України № 92155, МПК G06F 11/08, 2014 р]. Пристрій для перетворення позиційного двійкового коду у лишок за довільним модулем m_i , що містить: лічильник, до першого входу якого підключено перший установчий вхід пристрою, блок порівняння та перший елемент I , при цьому перший вхід першого елемента I є другим тактовим входом пристрою, вихід першого елемента I підключено до другого (рахункового) входу лічильника, перший вхід блока порівняння є входом подачі значення модуля m_i , другий елемент I , блок пам'яті констант, блок множення, суматор і регістр, при цьому вихід суматора підключено до першого інформаційного входу регістра, вихід якого є виходом пристрою, який підключено до першого входу суматора та до другого входу блока порівняння, вихід якого є виходом ознаки кінця перетворення позиційного двійкового коду у лишок за довільним модулем m_i , вихід лічильника підключено до входу блока пам'яті констант, вихід якого підключено до першого входу блока множення, до другого якого підключена шина подачі значення модуля m_i , вихід блока множення підключено до другого входу суматора, другий вихід якого підключено до другого входу першого елемента I і до першого входу другого елемента I , вихід якого підключено до другого входу регістра, другий вхід другого елемента I підключено до другого входу пристрою, шина подачі числа, що перетворюється, підключена до третього входу регістра.

30 Недолік прототипу - низькі функціональні можливості пристрою. Це обумовлено неможливістю визначення лишків комплексних чисел.

45 В основу винаходу поставлена задача розширення функціональних можливостей пристрою-прототипу за рахунок додаткового визначення лишків чисел, що представлені у комплексній області, за комплексним модулем $\hat{m} = p + qi$.

50 Поставлена задача вирішується тим, що містить перший вхідний регістр, перший суматор, лічильник, перший блок пам'яті констант (БПК), блок порівняння (БП), при цьому перший (тактовий) вхід пристрою підключено до входу лічильника, а вихід першого регістру підключено до перших входів першого суматора. В пристрій додатково введено першу, другу та третю групи елементів АБО, другий БПК, першу, другу та третю групи елементів I , другий і третій вхідні регістри, блок множення, другий суматор, перший та другий елементи I , вентильний елемент, при цьому, вихід лічильника підключено до першого входу вентильного елемента, вихід якого підключено до перших входів першого та другого елементів I , до других входів яких підключено відповідно перша та друга керуючі шини пристрою (шини подачі сигналів ознак відповідно першого та другого режимів роботи пристрою). Виходи першого та другого елементів I підключено до входів відповідно першого та другого БПК, виходи яких через елементи АБО першої групи підключено до других входів першого суматора, вихід якого підключено до перших входів БП і до перших входів елементів I першої групи, виходи яких є виходом пристрою. Другий

(інформаційний) вхід пристрою через елементи АБО другої групи підключено до входу першого регістру. Третій і четвертий (інформаційні) входи пристрою підключено до входів відповідно другого та третього вхідних регістрів, вихід третього вхідного регістру підключено до першого входу блока множення, до другого входу якого підключена шина подачі значення константи ρ множення, вихід другого регістру та блока множення підключено до входів другого суматора вихід якого підключено до входів елементів АБО другої групи. До перших входів елементів I другої та третьої груп підключено шини подачі значень відповідно першого та другого модулів пристрою, до других (відкриваючих) входів елементів I другої та третьої груп підключено відповідно перша та друга керуючі шини пристрою, виходи елементів I другої та третьої груп через елементи АБО третьої групи підключено до других входів БП, перший вихід якого підключено до других (відкриваючих) входів елементів I першої групи, а другий вихід БП підключено до другого (забороненого) входу вентиляного елемента.

Введення вказаних ознак дозволяє додатково, до операції визначення лишків $\alpha \equiv A \pmod{m_i}$ дійсних чисел A за довільним модулем m_i СЗК, здійснювати операцію визначення дійсних лишків h комплексних чисел $\dot{A} = a + bi$ за довільним комплексним модулем $\dot{m} = p + qi$ СЗК, що задана у комплексній числовій області.

Відповідно до наслідків першої фундаментальної теореми Гауса, за заданим комплексним модулем $\dot{m} = p + qi$, норма N якого дорівнює $N = p^2 + q^2$, та при найбільшому загальному дільнику (НЗД) чисел p і q ($p, q \neq 1$), комплексне число $\dot{A} = a + bi$ порівняно з одним і лише одним лишком з ряду $0, 1, 2, \dots, N-2, N-1$ чисел. Тобто, $\dot{A} \equiv h \pmod{\dot{m}}$, де h - дійсне ціле число. Ізоморфізм між комплексними числами та їх дійсними лишками дає можливість реалізувати процес визначення лишків комплексних чисел за допомогою алгоритму визначення лишків числа у дійсній області.

З теорії чисел відомо, що для двох чисел p і q таких, що НЗД ($p, q \neq 1$), знайдуться два цілих числа u та v , такі, що виконується умова

$$u \cdot p + v \cdot q = 1. \quad (1)$$

Крім цього відомо, що існує таке число h , що визначається з наступного порівняння

$$[a + (u \cdot q - v \cdot p) \cdot b] \equiv h \pmod{N} \quad (2)$$

або

$$(a + b \cdot \rho) \equiv h \pmod{N}, \quad (3)$$

де вираз

$$\rho = u \cdot q - v \cdot p \quad (4)$$

за допомогою якого встановлюється відповідність між комплексними та дійсними лишками чисел, називають коефіцієнтом ізоморфізму. В цьому випадку дійсний лишок h комплексного числа \dot{A} визначається за алгоритмом визначення дійсного лишку α дійсного числа A , тобто

$$h \equiv Z \pmod{N}, \quad (5)$$

де

$$Z = a + b \cdot \rho; N = p^2 + q^2. \quad (6)$$

Суть винаходу пояснює креслення.

На (фіг.) представлена блок-схема винаходу, де: 1 - перший (тактовий) вхід пристрою; 2 - лічильник імпульсів; 3 - перший регістр; 4 - перший суматор; 5 - вентиляний елемент; 6, 7 - перший та другий елементи I; 8, 9 - перша та друга керуючі шини пристрою (шини подачі сигналів ознак відповідно першого та другого режимів роботи пристрою); 10, 11 - перший та другий БПК; 12 - перша група елементів АБО; 13 - БП; 14 - перша група елементів I; 15 - вихід пристрою; 16 - другий (інформаційний) вхід пристрою (шина подачі дійсного числа); 17 - перша група елементів I; 18, 19 - третій (шина подачі дійсної частині комплексного числа) та четвертий (шина подачі уявної частині комплексного числа) входи пристрою; 20, 21 - другий і третій вхідні регістри; 22 - блок множення двох чисел b і ρ ; 23 - шина подачі значення константи $\rho = u \cdot q - v \cdot p$

множення; 24 - другий суматор; 25, 26 - друга та третя групи елементів I; 27, 28 - шини подачі значень відповідно першого та другого модулів пристрою; 29 - третя група елементів АБО.

Перший (тактовий) 1 вхід пристрою підключено до входу лічильника 2, а вихід першого 3 регістру підключено до перших входів першого 4 суматора. Вихід лічильника 2 підключено до першого входу вентиляного елемента 5, вихід якого підключено до перших входів першого 6 та другого 7 елементів I, до других входів яких підключено відповідно перша 8 та друга 9 керуючі шини пристрою (шини подачі сигналів ознак відповідно першого та другого режимів роботи пристрою). Виходи першого 6 та другого 7 елементів I підключено до входів відповідно першого 10 та другого 11 БПК, виходи яких через елементи АБО першої 12 групи підключено до других входів першого 4 суматора, вихід якого підключено до перших входів БП 13 і до перших входів елементів I першої 14 групи, виходи яких є виходом 15 пристрою. Другий (інформаційний) 16 вхід пристрою через елементи АБО другої 17 групи підключено до входу першого 3 регістру. Третій 18 і четвертий (інформаційні) 19 входи пристрою підключено до входів відповідно другого 20 та третього 21 вхідних регістрів. Вихід третього 21 вхідного регістру підключено до першого входу блока множення 22, до другого входу якого підключена шина 23 подачі значення константи p множення. Виходи другого 20 регістру та блока множення 22 підключено до входів другого 24 суматора вихід якого підключено до входів елементів АБО другої 17 групи. До перших входів елементів I другої 25 та третьої 26 груп підключено шини подачі значень відповідно першого 27 та другого 28 модулів пристрою, до других (відкриваючих) входів елементів I другої 25 та третьої 26 груп підключено відповідно перша 8 та друга 9 керуючі шини пристрою. Виходи елементів I другої 25 та третьої 26 через елементи АБО третьої 29 групи підключено до других входів БП 13, перший вихід якого підключено до других (відкриваючих) входів елементів I першої 14 групи, а другий вихід БП 13 підключено до другого (забороненого) входу вентиляного елемента 5.

Пристрій для визначення лишків дійсних та комплексних чисел у системі залишкових класів функціонує у двох режимах.

Перший режим. Визначення лишку $a \equiv A \pmod{m_i}$ дійсного числа A за першим модулем m_i (присутній керуючий сигнал шини 8). За другим 16 входом пристрою через другу 17 групу елементів АБО до першого 3 регістру надходить дійсне число A , де воно постійно знаходиться. За першим (тактовим) 1 входом лічильник 2 встановлює початкову (нульову) адресу першого 10 БПК (вентильний елемент 5 і перший 6 елемент I відкрито). Перший БПК 10 містить константи виду $0 \cdot m_i, 1 \cdot m_i, \dots, k \cdot m_i$. З подачею імпульсів на тактовий вхід 1, з виходу першого 10 БПК константи послідовно (починаючи з нульової константи, тобто $k=0$) через елементи АБО першої 12 групи поступають до другого входу першого 4 суматора, до другого входу якого з виходу першого 3 регістру поступає значення дійсного числа A . Перший 4 суматор визначає результат операції (у загальному випадку $A - k \cdot m_i$ ($k=0,1,2,\dots$), а для нульової ($k=0$) константи маємо $A - 0 \cdot m_i = A$), який поступає до першого входу БП 13, до другого входу якого за шиною 27 поступає відкриті елементи I другої 25 групи, елементи АБО третьої групи поступає значення модуля m_i за яким працює пристрій. Якщо $A - k \cdot m_i > m_i$ ($A - 0 \cdot m_i > m_i$), тоді одночасно присутній сигнал першої вихідної шини БП 13 і відсутній сигнал другої вихідної шини БП 13. В даному випадку елементи I першої 14 групи закриті, а вентиляний елемент 5 відкрито. Далі, за першим (тактовим) 1 входом, лічильник 2 встановлює наступну (першу) адресу БПК 10 (вентильний елемент 5 і перший 6 елемент I відкрито). Перший 4 суматор визначає наступний ($k=1$) результат операції $A - k \cdot m_i = A - m_i$ ($k=1$), який поступає до першого входу БП 13, до другого входу якого за шиною 27 поступає значення першого модуля m_i , за яким у першому режимі працює пристрій. Якщо $A - k \cdot m_i = A - m_i > m_i$, тоді одночасно присутній сигнал першої вихідної шини БП 13 і відсутній сигнал другої вихідної шини БП 13. Цей процес буде продовжуватися до тих пір, поки $a = A - k \cdot m_i \leq m_i$. В цьому випадку одночасно відсутній сигнал першої вихідної шини БП 13, що закриває вентиляний елемент 5, і присутній сигнал другої вихідної шини БП 13, який відкриває елементи першої 14 I групи через які з виходу першого 4 суматора значення лишку $a \equiv A \pmod{m_i}$ поступає на вихід 15 пристрою.

Другий режим. Визначення дійсного лишку $h \equiv \dot{A} \pmod{\dot{m}}$ комплексного числа $\dot{A} = a + bi$ за комплексним модулем $\dot{m} = p + qi$ (присутній керуючий сигнал шини 9). За третім 18 та четвертим 19 входами відповідно до другого 20 (дійсна а частина комплексного числа) і третього 21 (уявна в частина комплексного числа) регістрів поступає значення комплексного числа $\dot{A} = a + bi$. На перші та другі входи другого 24 суматора відповідно поступають значення a і $b \cdot p$ (див. співвідношення (4) та (6)). З виходу суматора 24 значення Z (див. співвідношення (6)) через елементи АБО другої 17 групи поступає до входу першого 3 регістру. У подальшому алгоритм знаходження лишку h числа за модулем N (тобто $h \equiv Z \pmod{N}$, де $N = p^2 + q^2$) ідентично першому режиму роботи пристрою. При другому режимі роботи пристрою другий 11 БПК містить наступні

константи $0 \cdot N$, $1 \cdot N$, $2 \cdot N$, при цьому, за шиною 28 через відкриті елементи I третьої 26 групи, елементи АБО третьої 29 групи до других входів БП 13 поступає значення другого модуля N , а перший 4 суматор реалізує операцію $Z \cdot k \cdot N$.

5 Розглянемо процес функціонування винаходу для двох режимів роботи пристрою при конкретних значеннях модулів СЗК.

Пертий режим. Визначення лишку $\alpha \equiv A \pmod{m_i}$ дійсного числа A за першим модулем m_i (присутній керуючий сигнал шини 8). Нехай $m_i=3$. Для першого режиму функціонування пристрою розглянемо три варіанти значень числа A : $A=20$, $A=2$ і $A=6$.

10 Варіант 1. $A=20$ і $m_i=3$. У таблиці 1 представлено деякі пояснення, щодо процесу функціонування пристрою для першого варіанту. За другим 16 входом пристрою через другу 17 групу елементів АБО до першого 3 регістру надходить дійсне число $A=20$, де воно постійно знаходиться. За першим 1 входом лічильник 2 встановлює початкову (нульову) адресу (табл. 1) першого 10 БПК (вентильний елемент 5 і перший 6 елемент I відкрито). Перший БПК 10 містить константи виду $0 \cdot m_i$, $1 \cdot m_i$, $2 \cdot m_i$, ..., $k \cdot m_i$ (табл. 1). З подачею імпульсів на тактовий вхід 1, з виходу першого 10 БПК константи послідовно (починаючи з нульової константи, тобто $k=0$) 15 через елементи АБО першої 12 групи поступають до першого входу першого 4 суматора, до другого входу якого з виходу першого 3 регістру поступає значення дійсного числа $A=20$. Перший 4 суматор визначає результат операції $A \cdot k \cdot m_i = A - 0 \cdot m_i = A$ (табл. 1), який поступає до першого входу БП 13, до другого входу якого за шиною 27 через відкриті елементи I другої 25 групи, елементи АБО третьої групи поступає значення модуля $m_i=3$ за яким працює пристрій. 20 Якщо $A \cdot k \cdot m_i > m_i$ тоді одночасно присутній сигнал першої вихідної шини БП 13 і відсутній сигнал другої вихідної шини БП 13. В даному випадку елементи I першої 14 групи закриті, а вентильний елемент 5 відкрито. Далі, за першим (тактовим) 1 входом, лічильник 2 встановлює наступну (першу) адресу БПК 10 (вентильний елемент 5 і перший 6 елемент I відкрито). Перший 4 суматор визначає наступний ($k=1$) результат операції $A - 1 \cdot m_i = 20 - 3 = 17$ (табл. 1), який поступає до першого входу БП 13, до другого входу якого за шиною 27 поступає значення модуля $m_i=3$ за яким у першому режимі працює пристрій. Так як $17 > m_i=3$, тоді одночасно присутній сигнал першої вихідної шини БП 13 і відсутній сигнал другої вихідної шини БП 13. Цей процес буде 25 продовжуватися до тих пір, поки $A \cdot k \cdot m_i \leq m_i$ ($k=6$). В цьому

30

Таблиця 1

Дані першого варіанту при $A=20$, $m_i=3$

Адреса констант k	Значення констант $k \cdot m_i$ БПК 10	Вихід першого 4 суматора $A - k \cdot m_i$	Результат порівняння БП 13
0	0	$20 - 0 = 20$	$20 > 3$
1	3	$20 - 3 = 17$	$17 > 3$
2	6	$20 - 6 = 14$	$14 > 3$
3	9	$20 - 9 = 11$	$11 > 3$
4	12	$20 - 12 = 8$	$8 > 3$
5	15	$20 - 15 = 5$	$5 > 3$
6	18	$20 - 18 = 2$	$2 < 3$ ($\alpha=2$)

35 випадку одночасно відсутній сигнал першої вихідної шини БП 13, що закриває вентильний елемент 5, і присутній сигнал другої вихідної шини БП 13, який відкриває елементи першої 14 I групи через які з виходу першого 4 суматора значення лишку $A - 6 \cdot m_i = 20 - 18 = 2$ (табл. 1) поступає на вихід 15 пристрою. Тобто $\alpha=2$.

Варіант 2. $A=2$ і $m_i=3$. У таблиці 2 представлено пояснення, щодо процесу функціонування пристрою для другого варіанту ($k=0$).

Таблиця 2

Дані другого варіанту при $A=2, m_i=3$

Адреса констант k	Значення констант $k \cdot m_i$ БПК 10	Вихід першого 4 суматора $A-k \cdot m_i$	Результат порівняння БП13
0	0	$2-0=2$	$2 < 3$ ($\alpha=2$)

Варіант 3. $A=6$ і $m_i=3$. У таблиці 3 представлено пояснення, щодо процесу функціонування пристрою для третього варіанту ($k=1$).

5

Таблиця 3

Дані третього варіанту при $A=6, m_i=3$

Адреса констант k	Значення констант $k \cdot m_i$ БПК 10	Вихід першого 4 суматора $A-k \cdot m_i$	Результат порівняння БП13
0	0	$6-0=6$	$6 < 3$
1	3	$6-3=3$	$3=3$ ($\alpha=0$)

Другий режим. Треба визначити дійсний лишок h комплексного числа $\dot{A} = 3 + 4i$ за комплексним модулем $\dot{m} = 1 + 2i$ (присутній керуючий сигнал шини 9). У таблиці 4 представлено пояснення, щодо процесу функціонування пристрою у другому режимі роботи ($k=2$). На основі співвідношень (1) - (6) визначимо необхідні числові значення. Так на основі співвідношення (1) визначимо значення $p=2$. Маємо, що

$$\begin{aligned} u \cdot p + v \cdot q &= 1, \\ u \cdot 1 + v \cdot 2 &= 1. \end{aligned}$$

10

Таблиця 4

Дані для визначення лишку при $Z=11, N=5$.

Адреса констант k	Значення констант $k \cdot N$ БПК 11	Значення $Z=a+b \cdot \beta$ на виході другого 24 суматора	Вихід першого 4 суматора $Z-k \cdot N$	Результат порівняння БП 13
0	0	Z=11	$11-0=11$	$11 > 5$
1	5		$11-5=6$	$6 > 5$
2.	10		$11-10=1$	$1 < 5$ ($n=1$)

15

Ця рівність справедлива при наступних значеннях: $u=-1, v=1$. Дійсно $(-1) \cdot 1 + 1 \cdot 2 = 1$.

В цьому випадку визначимо константу (коефіцієнт ізоморфізму) множення β , що подається до входу 23 блока 22 множення (див. (4)),

20

$$p = u \cdot q - v \cdot r = (-1) \cdot 1 - 1 \cdot 2 = -3,$$

або $(-3) \equiv 2 \pmod{5}$. Так, у відповідності до (6) норма N модуля \dot{m} дорівнює $N = p^2 + q^2 = 1^2 + 2^2 = 5$.

За третім 18 та четвертим 19 входами відповідно до другого 20 (дійсна $a=3$ частина комплексного числа) і третього 21 (уявна $v=4$ частина комплексного числа) регістрів поступає

25

значення Комплексного числа $\dot{A} = a + b \cdot i$. Блок множення 22 формує на своєму виході значення $b \cdot p = 4 \cdot 2 = 8$. На перші та другі входи другого 24 суматора відповідно поступають значення $a=3$ і $b \cdot p=8$. З виходу суматора 24 значення $Z = a + b \cdot p = 3 + 8 = 11$ (див. співвідношення (6)), через елементи АБО другої 17 групи, поступає до входу першого 3 регістру. У подальшому алгоритм знаходження лишку h числа за модулем $N=5$ (тобто $h \equiv Z \pmod{N}$ або $h \equiv 11 \pmod{5}$) ідентично першому режиму роботи пристрою. При другому режимі роботи пристрою другий 11 БПК

30

містить наступні константи (табл. 4) $0 \cdot N, 1 \cdot N, \dots, k \cdot N$. При цьому, за шиною 28 через відкриті елементи I третьої 26 групи, елементи АБО третьої 29 групи до других входів БП 13 поступає значення другого модуля $N=5$, а перший 4 суматор реалізує операцію $Z-k \cdot N = 11 - k \cdot 5$ (табл. 4). Таким чином при $k=2$ ($11 - 2 \cdot 5 = 11 - 10 = 1$) маємо значення дійсного лишку $h=1$ (табл. 4).

Таким чином, винахід дозволяє розширити функціональні можливості пристрою-прототипу. Прототип дозволяв визначати лишки $a \equiv A \pmod{m_i}$ чисел A лише у дійсній числовій області. Запропонований винахід дозволяє додатково визначати лишки $h \equiv \dot{A} \pmod{m}$ чисел i у комплексній числовій області. Дана обставина дозволяє підвищити ефективність використання

5 непозиційних кодових структур у комп'ютерних системах та компонентах, що функціонують у СЗК.

ФОРМУЛА ВИНАХОДУ

10 Пристрій для визначення лишків дійсних та комплексних чисел у системі залишкових класів, що містить перший вхідний регістр, перший суматор, лічильник, перший блок пам'яті констант (БПК), блок порівняння (БП), при цьому перший (тактовий) вхід пристрою підключено до входу лічильника, а вихід першого регістру підключено до перших входів першого суматора, який

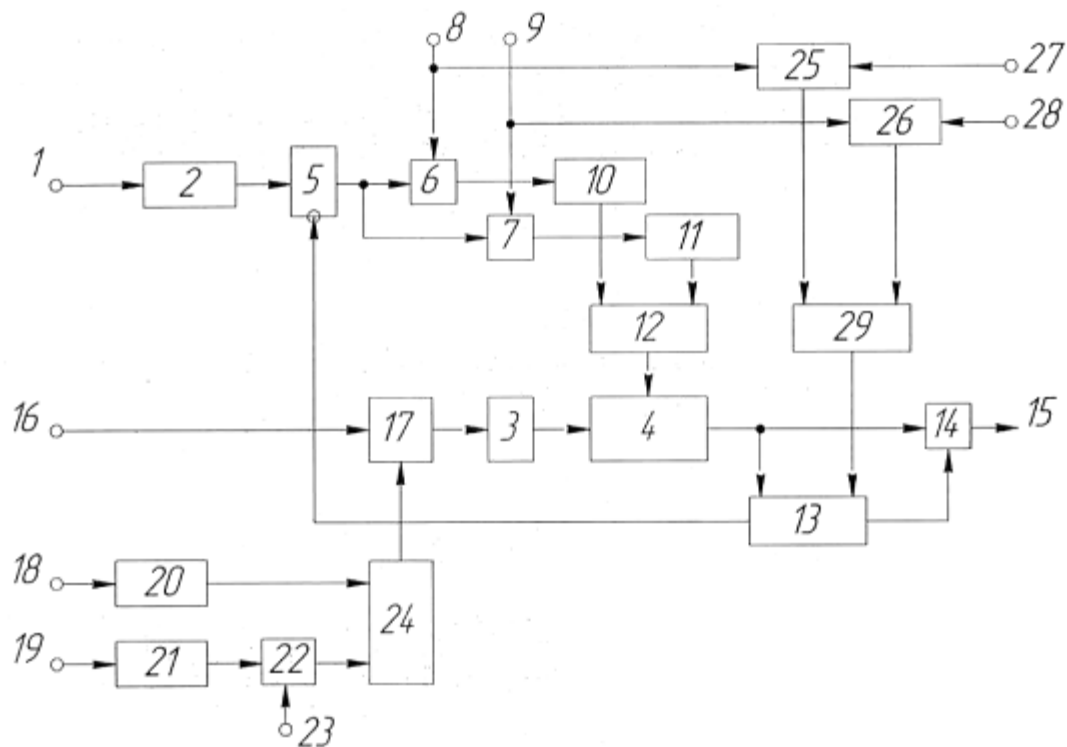
15 **відрізняється** тим, що додатково введено першу, другу та третю групи елементів АБО, другий БПК, першу, другу та третю групи елементів I , другий і третій вхідні регістри, блок множення, другий суматор, перший та другий елементи I , вентильний елемент, при цьому, вихід лічильника підключено до першого входу вентильного елемента, вихід якого підключено до перших входів першого та другого елементів I , до других входів яких підключено відповідно

20 перша та друга керуючі шини пристрою (шини подачі сигналів ознак відповідно першого та другого режимів роботи пристрою), виходи першого та другого елементів I підключено до входів відповідно першого та другого БПК, виходи яких через елементи АБО першої групи підключено до других входів першого суматора, вихід якого підключено до перших входів БП і до перших входів елементів I першої групи, виходи яких є виходом пристрою, другий (інформаційний) вхід пристрою через елементи АБО другої групи підключено до входу першого регістру, третій і

25 четвертий (інформаційні) входи пристрою підключено до входів відповідно другого та третього вхідних регістрів, вихід третього вхідного регістру підключено до першого входу блока множення, до другого входу якого підключена шина подачі значення константи r множення, виходи другого регістру та блока множення підключено до входів другого суматора вихід якого підключено до входів елементів АБО другої групи, до перших входів елементів I другої та

30 третьої груп підключено шини подачі значень відповідно першого та другого модулів пристрою, до других (відкриваючих) входів елементів I другої та третьої груп підключено відповідно перша та друга керуючі шини пристрою, виходи елементів I другої та третьої груп через елементи АБО третьої групи підключено до других входів БП, перший вихід якого підключено до других (відкриваючих) входів елементів I першої групи, а другий вихід БП підключено до другого

35 (забороненого) входу вентильного елемента.



Комп'ютерна верстка А. Крижанівський

Державна служба інтелектуальної власності України, вул. Василя Липківського, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601